

5/3/2005
13/3/2005
5882/5/3/2005

BEST AVAILABLE COPY

Patent number: JP2103925
Publication date: 1990-04-17
Inventor: OKA HIDEAKI
Applicant: SEIKO EPSON CORP
Classification:
- international: H01L21/20; H01L21/324; H01L21/336; H01L29/784
- european:
Application number: JP19880257827 19881013
Priority number(s): JP19880257827 19881013

Report a data error here

Abstract of JP2103925

PURPOSE: To obtain a large-sized element having high resolution by laminating first and second amorphous silicon layers on amorphous material, and heat-treating it so as to make the amorphous silicon into large grain diameter and forming a semiconductor element here. **CONSTITUTION:** The first amorphous Si layer 102 with a thickness of about 100-3000 Angstrom is overlaid on insulating amorphous material 101 such as glass, quartz, SiO₂, etc., by a vacuum deposition method, and thereon the second amorphous Si layer 103 with a thickness of about 50-1000 Angstrom is accumulated by the LPCVD method. Hereupon, it is important that the first Si layer 102 should be amorphous Si whose polycrystalline nucleus generation rate is lower than the second Si layer 103, so, Si which generates few nucleuses even in heat treatment of several tens hours, for example, at 550-650 deg.C is used. Thereafter, heat treatment of 2-10 hours at 550-650 deg.C is done, and the first and second layers 102 and 103 are united and are converted to a polycrystalline Si layer 104 with large grain diameters, and here source and drain regions 106, and a gate electrode 105 through a gate insulating film 107 are provided, thus a semiconductor element is formed.

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平2-103925

⑬ Int.Cl.³ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)4月17日
H 01 L 21/20 7739-5F
21/324 7738-5F
21/338
29/784
8624-5F H 01 L 29/78 311 Z
審査請求 未請求 請求項の数 6 (全7頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-257827

⑰ 出 願 昭63(1988)10月13日

⑱ 発 明 者 関 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 上柳 雅彦 外1名

要 約

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) (a) 絶縁性非晶質材料上に第1の非晶質シリコン層を形成する工程、

(b) 該第1の非晶質シリコン層上に第2のシリコン層を形成する工程、

(c) 該第1の非晶質シリコン層及び第2のシリコン層を熱処理等により結晶成長させる工程、

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする半導体装置の製造方法、

2) 前記第2のシリコン層が非晶質シリコンであることを特徴とする請求項1記載の半導体装置の製造方法、

3) 前記第2のシリコン層をCVD法で形成したことを特徴とする請求項1及び請求項2記載の半導体装置の製造方法、

4) 前記第2のシリコン層をCVD法で500℃

～860℃で形成したことを特徴とする請求項3記載の半導体装置の製造方法、

5) 前記第2のシリコン層の膜厚が50Åから100Åであることを特徴とする請求項1～請求項4記載の半導体装置の製造方法、

6) 前記第2のシリコン層が微結晶シリコンであることを特徴とする請求項1記載の半導体装置の製造方法、

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に半導体素子を形成する製造方法に関する。

【従来の技術】

ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性な半導体素子を形成する試みが成されている。

近年、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような

絶縁性非晶質材料上の高性能な半導体素子の実現が待望されている。

絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例にとると、(1)プラズマCVD法等により形成した非晶質シリコンを素子材としたTFT、(2)CVD法等で形成した多結晶シリコンを素子材としたTFT、(3)熔融再結晶化法等により形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べてTFTの電界効果移動度が大幅に低く(非晶質シリコンTFT $< 1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、多結晶シリコンTFT $\sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$)、高性能なTFTの実現は困難であった。

一方、レーザビーム等による熔融再結晶化は、未だに十分に完成した技術とは見え、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

(b) 該第1の非晶質シリコン層上に第2のシリコン層を形成する工程。

(c) 該第1の非晶質シリコン層及び第2のシリコン層を熱処理等により結晶成長させる工程。

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくともも有することを特徴とする。

【実施例】

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(A)は、ガラス、石英等の絶縁性非晶質基板、もしくはSiO₂等の絶縁性非晶質材料層等の絶縁性非晶質材料101上に第1の非晶質シリコン層102を形成する工程である。第1の非晶質シリコン層の形成方法としては、例えば、真空蒸着法で 10^{-5} Pa 程度以下の真空度で膜厚 $100 \text{ \AA} \sim 3000 \text{ \AA}$ 程度の非晶質シリコン膜を形成する等の方法がある。尚、成膜方法はこれに

【発明が解決しようとする課題】

そこで、絶縁性非晶質材料上に高性能な半導体素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを固相成長させる方法が注目され、研究が進められている。(Thin Solid Films 106 (1983) p.227、JJAP Vol.25 No.2 (1986) p.L121)

しかし、従来の技術では、多結晶シリコンをCVD法で形成し、Si⁺をイオンインプラして該多結晶シリコンを非晶質化した後、600℃程度の熱処理を100時間近く行っていた。そのため、高価なイオン注入装置を必要としたほか、熱処理時間も極めて長いという欠点があった。

そこで、本発明はより簡便かつ実用的な方法で、大粒径の多結晶シリコンを形成する製造方法を提供するものである。

【課題を解決するための手段】

本発明の半導体装置の製造方法は、

(a) 絶縁性非晶質材料上に第1の非晶質シリコン層を形成する工程、

限定されるものではなく、第2のシリコン膜に比べて多結晶核発生確率の低い(望ましくは、550℃から650℃程度の熱処理を数時間行っても多結晶核が発生しない)非晶質シリコンであることが重要である。(B)は、該第1の非晶質シリコン層102上に第2のシリコン層103を積層する工程である。第2のシリコン層の形成方法としては、例えば、LPCVD法で500℃～560℃程度で膜厚50Å～1000Å程度の非晶質シリコン膜を形成する等の方法があるが、成膜方法はこれに限定されるものではなく、550℃から650℃程度の熱処理による多結晶核発生確率が第1の非晶質シリコンに比べて高く、多結晶核発生密度が低い(望ましくは、1μm角に結晶核1個未満程度)シリコン膜であることが重要である。

(C)は、第1及び第2のシリコン層を熱処理により結晶成長させる工程である。熱処理温度は第1及び第2のシリコン層の成膜条件により最適条件が異なるが、550℃～650℃程度で2～10時間程度置置もしくはAr等の不活性ガス雰囲気

真空中で焼結することによって多結晶シリコン104が形成される。そのメカニズムは、焼結時の焼結炉によりまず第2のシリコン102で焼結炉が形成する、続いて、その焼結炉をシードとして第1の非晶シリコン101が焼結化され、大気中の多結晶シリコン104が形成される。(D)は、多結晶化されたシリコン104に半導体素子形成する工程である。図1図(D)では、半導体素子としてTFTを形成する場合を例としている。図において、105はゲート電極、106はソース・ドレイン電極、107はゲート絶縁膜、108は層間絶縁膜、109はコンタクト穴、110は電極を示す。TFT形成法の一つとしては、多結晶シリコン104をパターン形成し、ゲート絶縁膜を形成する。ゲート絶縁膜は焼結法で形成する方法(蒸着プロセス)とCVD法もしくはプラズマCVD法で600℃程度以下の温度で形成する方法(焼結プロセス)がある。焼結プロセスでは、基板として真鍮をガラス基板を使用するもの、大気中をシリコン基板やシリコンイメージセンサの半導体素子を低コストで形成

できるもの、三次元ICを形成する場合においても、下層の素子にシリコン(例えば、シリコンの焼結炉)を形成し、上層に半導体素子を形成することが出来る。続いて、ゲート電極を形成し、ソース・ドレイン電極をイオン注入し、焼結法、プラズマドーピング法で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法で形成する。さらに、層間絶縁膜にコンタクト穴を開け、電極を形成することでTFTが形成される。

本発明に基づく半導体素子の製造方法で作成した焼結プロセスTFT(Nチャンネル)の電界効果移動度は、 $100 \sim 150 \text{ cm}^2/\text{V} \cdot \text{sec}$ であり、ガラス基板上に高純度のTFTを形成することが出来る。これは、本発明の製造方法により、大気中の多結晶シリコン104が真空中で形成できるようにした焼結炉を開発したこと、さらに、前述TFT製造工程に水素ガスもしくは酸素ガス、酸素ガスを少量とも混合気体のプラズマ環境中に半導体素子を形成する工程を加えると、焼結炉に形成

する欠陥密度が低減され、焼結炉の焼結炉はさらに向上する。

また、本発明は、図1図の製造例に示したTFT以外にも、ゲート電極半導体素子を含むもの、バイポーラトランジスタ、電圧電圧トランジスタ、太陽電池・光センサをはじめとする光電変換素子の半導体素子を多結晶シリコンを基質として形成する場合にも適用して有効な方法となる。

図1図に示した焼結炉の構造を述べる。図1図は、多結晶シリコンを大気中の多結晶シリコンに焼結炉をさせるのに、非晶シリコンの焼結法と多結晶化されたシリコンの焼結(焼結炉、焼結炉)との関係を図1図に示した。その図1図は、図1図のようになっている。

(1) 焼結炉による多結晶シリコンの形成及び多結晶シリコンの形成するまでの工程は、非晶シリコンの焼結法によって異なる。

(2) 図1図は、LPCVD法で形成したシリコンの焼結炉、成膜温度600℃程度で焼結炉

炉の中に温度200~300℃程度の焼結炉が形成する多結晶シリコンの形成している。図1図は、成膜温度600℃程度で焼結炉で焼結炉しても焼結炉の焼結炉とほとんど見られぬ。また、成膜温度600℃で~660℃で形成した焼結炉の形成しているが、600℃程度の焼結炉による多結晶シリコンの形成及び多結晶シリコンの形成するまでの工程が成膜温度によって異なる。図1図は、成膜温度600℃の場合には多結晶シリコンの形成が速く、焼結炉がせいぜい1000人程度(但し、多結晶化に要する時間は1~2時間程度と短い。)であるが、成膜温度を下げるにしたがって、多結晶シリコンの形成速度は下がり、成膜温度640℃では2000~3000人程度の、また、成膜温度600℃では3000~6000人程度の焼結炉を形成する多結晶シリコンが600℃程度の焼結炉により形成された。(但し、多結晶化に要する時間は、成膜温度640℃では5時間程度、成膜温度600℃では20時間以上必要であった。)

(3) 同一成膜条件であっても焼結炉を小さくする

と、多結晶性成長速度が速くなる傾向がある。

(4) 真空炉内もしくはプラズマCVD炉で形成したシリコン膜の場合、CVD炉で形成した膜よりも更に多結晶性成長速度を下げる事が出来る。真空炉内の場合を例にとると、 10^{-10} Pa程度以下の真空度で約100℃程度で形成した非晶質シリコン膜を、600℃の加熱炉で60時間加熱を行うことで、結晶粒径5000Åを有する多結晶シリコンが形成された。結晶粒径を550℃程度まで下げると、1μm以上の粒径を有する多結晶シリコンも形成できるが、その場合、多結晶化に要する結晶時間約100時間以上必要となる。

以上の諸条件のもと、大粒径の多結晶シリコンを形成すべく検討した結果が、図1図に示した本発明の製造工程である。その技術的ポイントは、多結晶性成長速度の速い非晶質シリコン膜と多結晶性成長速度の遅い高品質シリコン膜を交互して加熱成長させることで、短時間の加熱炉で大粒径の多結晶シリコンを形成可能とする点に

ある。

図1図において、(A)は多結晶性成長速度の速い図1の非晶質シリコン膜を形成する工程である。その成膜方法として、前述の通り例えば真空炉内炉で 10^{-10} Pa程度以下の真空度で図1の0.1μm～3000Å程度の非晶質シリコン膜を形成する方法がある。図2の非晶質シリコン膜の図1で図1を点線、550℃～650℃程度の加熱炉で多結晶性が発生し始めるもしくは完全するまでの時間が十分に短いことが必要である。そのために、より結晶性の少ないランダムな非晶質シリコン膜を形成する必要がある。具体的には、EBC炉等の真空炉内炉の口に、MBE炉、プラズマCVD炉、スパッタ炉、蒸着炉等を600℃程度以下に冷却したCVD炉内で形成した非晶質シリコン膜が覆っている。特に、EBC炉、MBE炉で約200℃程度より低い温度で形成した非晶質シリコン膜は、多結晶性が発生しにくく覆っている。

(B)は図1の非晶質シリコン膜に比べて、多

結晶性成長速度が遅い図2のシリコン膜を形成する工程である。その成膜方法として、前述の通り例えばLPCVD炉で500℃～650℃程度で図2の0.1μmから1000Å程度の非晶質シリコン膜を形成する方法がある。LPCVD炉で500℃以上で多結晶シリコンを形成する方法も知られるが、結晶粒径が200～300Å程度と小さく、その上に覆った非晶質シリコン膜も下地を形成して同程度の結晶の多結晶シリコンに成長させるため、大結晶化は困難である。又、成膜温度が500℃以上と高いため成膜中に図1の非晶質シリコン膜で多結晶性が発生し始めるため成長が遅く、それに伴って、500℃～650℃で形成した非晶質シリコンは多結晶性発生速度(600℃程度の加熱炉を100時間の加熱速度)が遅く、図1の1000Åの場合で1000Å～5000Åの間に1000Å程度の結晶粒径が形成されるためであり、図1をさらに大きくすれば多結晶性成長速度がさらに低下することがあった。例えば、LPCVD炉で500℃～650℃程度で

50Å～100Å程度の非晶質シリコン膜を形成した場合、1μmの間に1個以下の結晶性成長速度に及ぶことがあった。(多結晶性が発生するまでの時間は、成膜温度が高いほど速くなる傾向があった。また、成膜温度が高いほど図1を大きくしても結晶性成長速度が遅い傾向があった。従って、結晶成長時間の図1と図2の図1を比べると成膜温度は550℃～650℃程度が好ましい。)図1の非晶質シリコン膜は図2の非晶質シリコン膜で発生した結晶性をシードとして結晶成長させる。上述のように結晶性成長速度の速い非晶質シリコン膜を用いると粒径1μm以上の多結晶シリコンが得られ、図2のシリコン膜として図1に覆っている。又、成膜温度が550℃以下と低い場合、成膜中に図1のシリコン膜から多結晶性が発生し始めるというメリットもある。

図2のシリコン膜として、非晶質以外に例えば非晶質膜の中に、結晶性シリコンが含有する多結晶シリコンであっても図1を結晶化して多結晶性成長速度を速くすれば可成である。又、図1のシリ

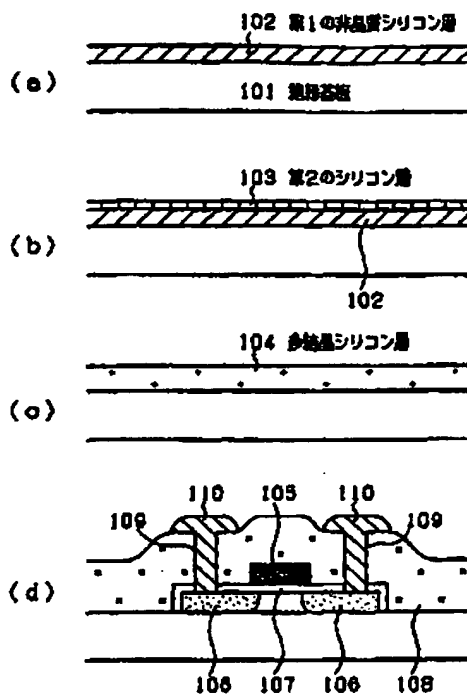
- 102 -

T以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体を素子材として形成する場合にもわめて有効な製造方法となる。

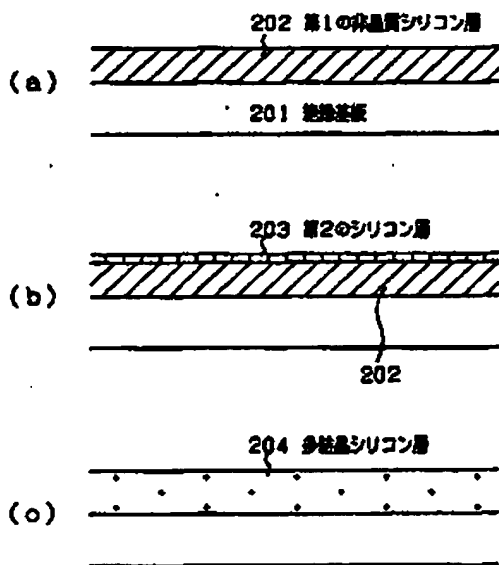
4. 図面の簡単な説明

第1図(a)～(d)及び第2図(a)～(e)は本発明の実施例における半導体装置の製造工程図である。

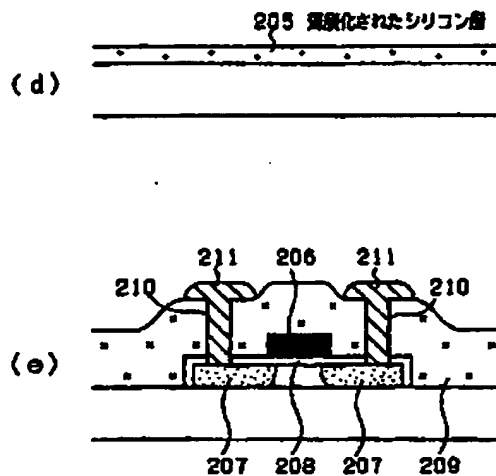
- 101,201 … 絶縁性非晶質材料
- 102,202 … 第1の非晶質シリコン層
- 103,203 … 第2のシリコン層
- 104,204 … 多結晶シリコン層
- 105,205 … ゲート電極
- 106,206 … ソース・ドレイン領域
- 107,207 … ゲート絶縁膜
- 108,208 … 層間絶縁膜
- 109,209 … コンタクト穴
- 110,211 … 配線



第1図



第2図



第2図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.